

Japanese Laid-open Utility Model Publication
No. 63-5712

⑩ 日本国特許庁 (J P)

⑪ 実用新案出願公開

⑫ 公開実用新案公報 (U)

昭63-5712

⑬ Int. Cl. 4

H 03 B 5/18
H 01 P 7/08

識別記号

庁内整理番号

C-8731-5J
6748-5J

⑭ 公開 昭和63年(1988)1月14日

審査請求 未請求 (全 頁)

⑮ 考案の名称 発振回路 Oscillating Circuit

「 No. 61-99153

⑯ 実 願 昭61-99153 Japanese Utility Model Application

⑰ 出 願 昭61(1986)6月30日 Filed on June 30, 1986

⑱ 考 案 者 山 崎 豊 栄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 鈴木 章夫

Applicant: NEC Corporation

NOT AVAILABLE COPY

明 細 書

1. 考案の名称

発振回路

2. 実用新案登録請求の範囲

(1) ストリップラインをインダクタンス素子として回路構成した発振回路において、前記ストリップラインを形成した基板の裏面導体を、ストリップラインの下側には存在させず、かつこの領域の基板下側に空間を形成したことを特徴とする発振回路。

(2) 基板を載置するサブストレートの上面に凹部を形成して空間を画成してなる実用新案登録請求の範囲第1項記載の発振回路。

3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は発振回路に関し、特に発振出力信号の低雑音化及び発振周波数の広帯域化を図ったストリップラインを用いた発振回路に関する。

〔従来の技術〕

従来、ストリップラインを用いた発振回路とし

て、第2図のように、発振トランジスタ11、バラクタダイオード12、バラクタダイオード結合容量13、ストリップライン14、15からなるハートレー型発振回路がある。また、第3図に示すように、新たにコンデンサ16、17を追加したコルピッツ型発振回路も提案されている。

いずれにしても、この種の発振回路におけるストリップラインは、第4図に示すように、サブストレート21上に支持した基板22の裏面に裏面導体23を形成し、かつ基板22の表面に所要幅寸法の導体膜からなるストリップライン24を形成した構成となっている。

(考案が解決しようとする問題点)

上述した従来のストリップライン24では、裏面導体23と全面において対向配置されているため、損失が大きくなってQが低下され、また容量が大きくなって特性インピーダンスも低下され易い。

このため、ストリップライン24のQの低下、即ち第2図及び第3図の回路におけるストリップ

ライン 14, 15 の Q の低下により、各発振回路の Q が低下され、発振出力の位相雑音特性が劣化されるという問題がある。

また、ストリップライン 24 の特性インピーダンスの低下により、第 2 図及び第 3 図の回路におけるストリップライン 14, 15 の特性インピーダンスが低下され、発振に必要なインダクタンスを実現する際のストリップラインの長さが長くなり、発振周波数に対するインダクタンスの変化が大きくなって発振周波数の広帯域化が困難になるという問題もある。

〔問題点を解決するための手段〕

本考案の発振回路は、以上の問題を解消して発振出力の位相雑音特性の向上及び発振周波数の広帯域化を達成するものである。

本考案の発振回路は、ストリップラインを形成した基板の裏面導体を、ストリップラインの下側には存在させず、かつこの領域の基板下側に空間を形成した構成としている。

〔実施例〕

次に、本考案を図面を参照して説明する。

第1図は本考案の一実施例の要部斜視図である。図において、1はサブストレータであり、このサブストレータ1上に絶縁基板2を載置している。この基板2の裏面には裏面導体3を形成し、また基板2の表面には導体膜を帯状に形成したストリップライン4を延設している。

そして、このストリップライン4の直下及びこれを含む近傍の領域では、前記裏面導体3を除去して裏面導体3が存在されないように構成している。更に、この領域では前記サブストレータ1の表面に凹部1aを形成し、前記基板2の下側に空間を画成している。

このように構成したストリップライン4は、第2図又は第3図の発振回路におけるストリップライン14、15として用いられ、夫々発振回路を構成する。

この構成によれば、ストリップライン4の下側には裏面導体3が存在していないので、ストリップライン4の損失が低減されそのQが向上される。

また、ストリップライン 4 と裏面導体 3 との間の容量が低減されて特性インピーダンスも向上される。

このため、ストリップライン 4 の Q の向上により、第 2 図及び第 3 図の発振回路の Q を向上でき、発振出力の位相雑音特性を改善できる。

また、特性インピーダンスの向上により、発振に必要なインダクタンスを実現する際のストリップラインのライン長を短くでき、発振周波数に対するインダクタンスの変化を小さくして発振周波数の広帯域化を実現できる。

ここで、上述したストリップラインは、第 2 図及び第 3 図の発振回路以外の回路に適用しても同様な効果が得られることは言うまでもない。

なお、ストリップライン 4 の下側で除去する裏面導体 3 や空間の領域は、ストリップラインの寸法や発振周波数に応じて適宜な寸法に設定すればよい。

〔考案の効果〕

以上説明したように本考案は、ストリップライ

ンを形成した基板の裏面導体をストリップラインの下側には存在させず、かつこの領域の基板下側に空間を形成しているので、ストリップラインのQ及び特性インピーダンスを向上でき、発振回路のQを高めて発振出力の位相雑音特性を改善するとともに、発振周波数に対するインダクタンスの変化を小さくして発振周波数の広帯域化を実現することができる。

4. 図面の簡単な説明

第1図は本考案の一実施例の要部斜視図、第2図及び第3図は夫々異なる発振回路の回路図、第4図は従来のストリップラインの一部の斜視図である。

1, 2 1…サブストレート、1 a…凹部（空間）、2, 2 2…基板、3, 2 3…裏面導体、4, 2 4…ストリップライン、1 1…発振トランジスタ、1 2…バラクタダイオード、1 3…バラクタダイオード結合容量、1 4, 1 5…ストリップライン、1 6, 1 7…コンデンサ。

代理人 弁理士 鈴木 章 夫

Fig. 1
第 1 図

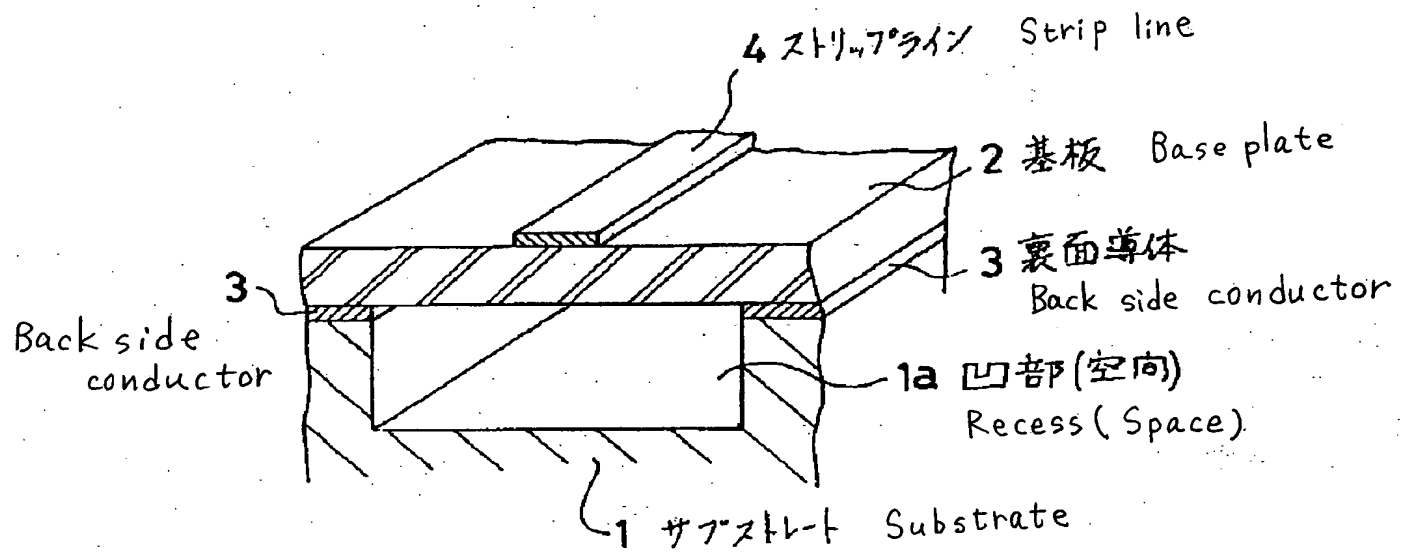
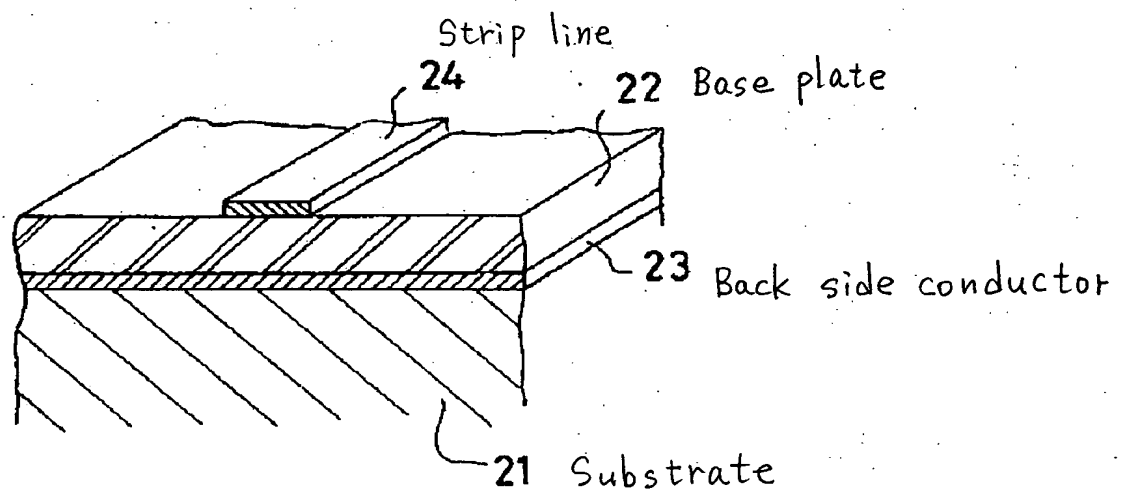
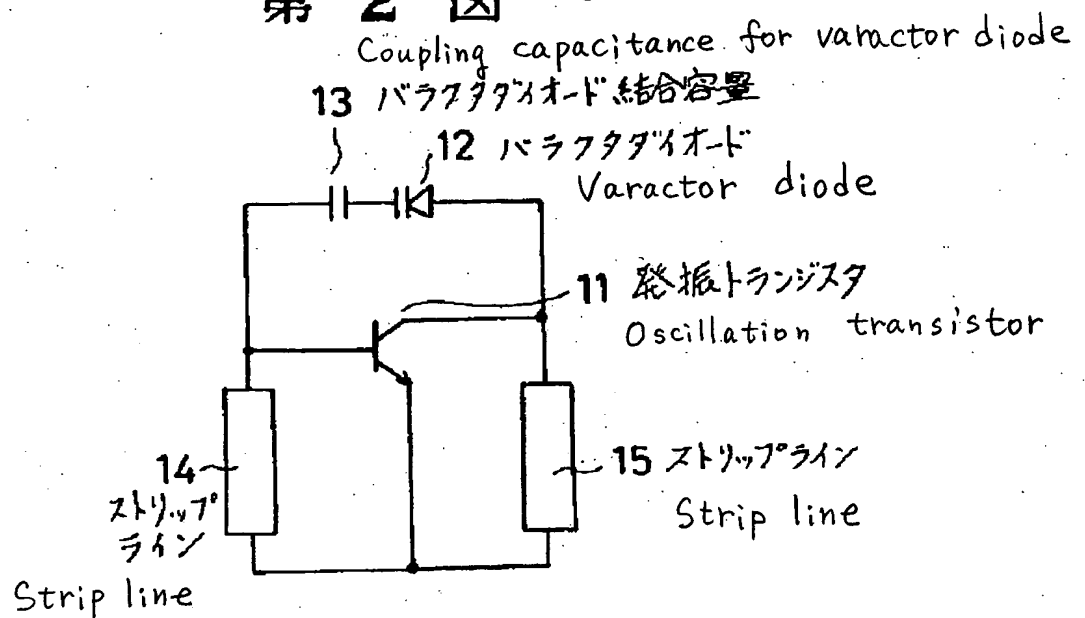


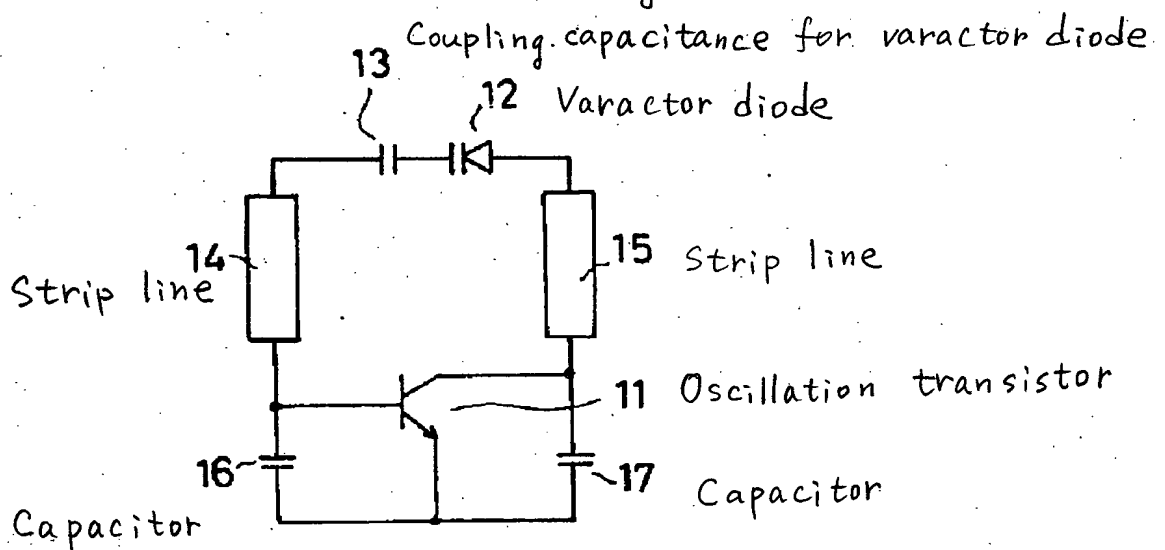
Fig. 4
第 4 図



第 2 図 Fig. 2



第 3 図 Fig. 3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.